

PATENT

Customer No.31561
Docket No.: 10879-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

re application of

Applicant : Tz-Jang Tseng et al.
Application No. : 10/604,474
Filed : July 24, 2003
For : INNER LAYER STRUCTURE OF CIRCUIT BOARD
Examiner :

COMMISSIONER FOR PATENTS

2011 South Clark Place

Crystal Plaza Two, Lobby, Room 1B03

Arlington VA 22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:92204427,
filed on:2003/03/21.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Sept 1, 2003

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2003 年 03 月 21 日
Application Date

申請案號：092204427
Application No.

申請人：欣興電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 7 月 29 日
Issue Date

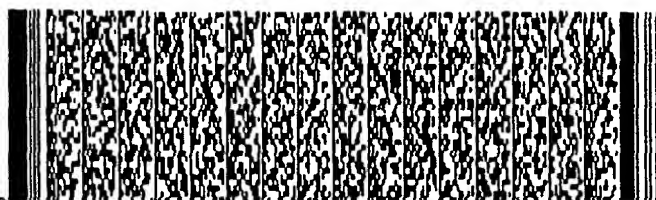
發文字號：09220765520
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

新型專利說明書

一、 新型名稱	中 文	電路板內層結構
	英 文	Inner Layer Structure of Circuit Board
二、 創作人 (共2人)	姓 名 (中文)	1. 曾子章 2. 邱聰進
	姓 名 (英文)	1. T. J. Tseng 2. Chiu Tsung Chin
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 新竹市湖濱二路36號 2. 桃園縣中壢市健行路55號
	住居所 (英 文)	1. No. 36, Hu-Ping II Rd., Hsinchu, Taiwan, R.O.C. 2. No. 55, Chien-Hsin Rd., Chung-Li, Taoyuan Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 欣興電子股份有限公司
	名稱或 姓 名 (英文)	1. Unimicron Technology Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 桃園縣桃園市龜山工業區興邦路38號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 38, Hsing Pong Rd., Kwei-San Industrial Exended Zone, Taoyuan, Taiwan, R.O.C.
	代表人 (中文)	1. 曾子章
	代表人 (英文)	1. Tzyy Jang Tseng



四、中文創作摘要 (創作名稱：電路板內層結構)

一種電路板內層結構，適用於一印刷電路板之線路傳遞的部分，此電路板內層結構主要是利用柱狀或錐狀的凸塊來取代習知之印刷電路板的鍍通孔，用以電性連接印刷電路板之任二相鄰的線路圖案。由於此電路板內層結構使用凸塊作為電性連接之媒介，使得應用此電路板內層結構之印刷電路板具有簡化佈線設計、降低製程難度及提高佈線密度等諸多優點。

伍、(一)、本案代表圖為：第 2 圖

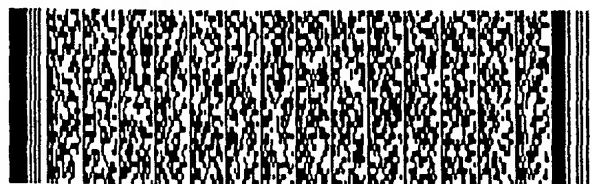
(二)、本案代表圖之元件代表符號簡單說明：

200：電路板內層結構 210：介電層

210a：頂面 210b：底面

陸、英文創作摘要 (創作名稱：Inner Layer Structure of Circuit Board)

An inner layer structure of circuit board is suited for signal transmission of a printed circuit board. The inner layer structure is mainly used for substituting for conventional plated through holes (PTH) by column-shaped or cone-shaped bumps. The bumps are electrically connected to any two adjacent pattern circuits of the printed circuit board. Because the bumps are used for media of electrical connection in the inner layer structure of the circuit board, the application of the inner layer structure in the

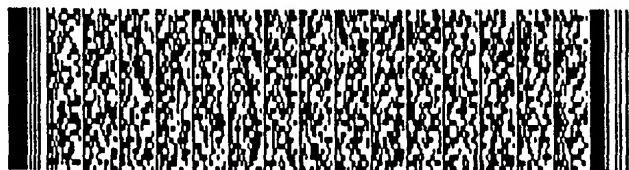


四、中文創作摘要 (創作名稱：電路板內層結構)

212、214：貫孔	220a、220b：線路圖案
222a、222b：接合墊	224a、224b：導線
230a、230a'、230b、230b'：凸塊	
240：導電栓塞	242：導電牆
244：介電柱	310：介電層
310a：頂面	310b：底面
312、314：貫孔	320a、320b：線路圖案
322a、322b：接合墊	324a、324b：導線
340：導電栓塞	410：介電層
410a：頂面	410b：底面
412、414：貫孔	420a、420b：線路圖案
422a、422b：接合墊	424a、424b：導線

陸、英文創作摘要 (創作名稱：Inner Layer Structure of Circuit Board)

circuit board could simplify the layout design, lower the process difficulty and further arise the layout density, etc.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第一百零五條準用
第二十四條第一項優先權

二、☐主張專利法第一百零五條準用第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第九十八條第一項☐第一款但書或☐第二款但書規定之期間

日期：



五、創作說明 (1)

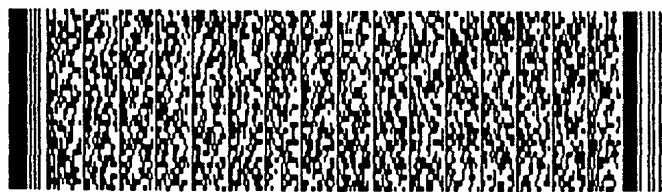
【 新 型 所 屬 之 技 術 領 域 】

本創作是有關於一種電路板內層結構，且特別是有關於一種電路板內層結構，其乃是利用凸塊來取代習知之鍍通孔 (Plated Through Hole, PTH)，用以導通任二相鄰之圖案化線路層。

【 先 前 技 術 】

近年來，隨著電子技術的日新月異，許多高科技電子產業的相繼問世，使得更人性化、功能更佳的電子產品不斷地推陳出新，且這些電子產品更不斷地朝向輕、薄、短、小的趨勢設計發展。各種電子產品均具有至少一主機板，其係由許多電子元件及電路板所構成，而電路板之功能係在於搭載及電性連接各個電子元件，使得這些電子元件能夠彼此電性連接，而目前最常見之電路板係為印刷電路板 (Printed Circuit Board)。

請參照第1A～1F圖，其繪示習知之一種四層導線層之印刷電路板的局部流程剖面圖。如第1A圖所示，首先提供一雙面板，其包括一介電芯層 (dielectric core layer) 110、導電層120a及導電層120b，其中導電層120a及導電層120b例如為二銅箔層，並分別配置於介電芯層110之兩面。接著如第1B圖所示，利用機械鑽孔或雷射鑽孔等鉗孔 (drill) 的方式，同時貫穿介電芯層110與二導電層120a、120b，用以形成多個貫孔112。之後，如第1C圖所示，再利用電鍍 (plating) 等方式，將導電材料形成於二導電層120之表面，用以形成導電層114a及導電層



五、創作說明 (2)

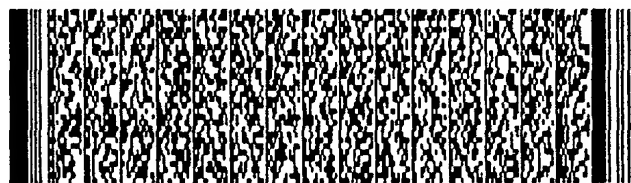
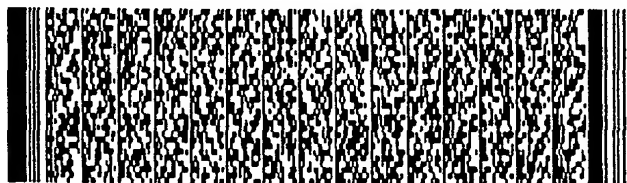
114b，並同時將導電材料形成於這些貫孔112之內壁面，用以形成多個導電層114c。值得注意的是，導電層120a及導電層114a可視為同一導電層122a，而導電層120b及導電層114b可視為同一導電層122b。

然後，如第1D圖所示，將介電材料116填入貫孔112之內，以預防貫孔112之內產生空孔(void)。再者，如第1E圖所示，以微影(photolithography)、蝕刻

(etching)的方式，圖案化導電層122a及導電層122b，用以形成所需之導線及接合墊等。最後，如第1F圖所示，分別堆疊介電層130a、130b及導電層140a、140b(例如二銅箔層)於介電芯層110之兩面，接著可疊壓(laminate)這些材料層，而形成一四層導電層之印刷電路板的半成品。

就習知技術而言，在利用疊壓的方式製造印刷電路板時，為了電性連接印刷電路板之相鄰或不相鄰的已圖案化導電層，必須利用鍍通孔(Plated Through Hole, PTH)之製程來達成，意即必須在印刷電路板上進行貫孔之形成、鍍通孔(plated through hole)之導電層的形成及介電材料之填入等動作，始能經由鍍通孔之導電層來電性連接印刷電路板之相鄰或不相鄰的已圖案化導電層。然而，當印刷電路板之導線層間的鍍通孔越多時，由於鍍通孔必須佔有印刷電路板之特定面積，這將導致印刷電路板之佈線密度無法有效提高。

【新型內容】



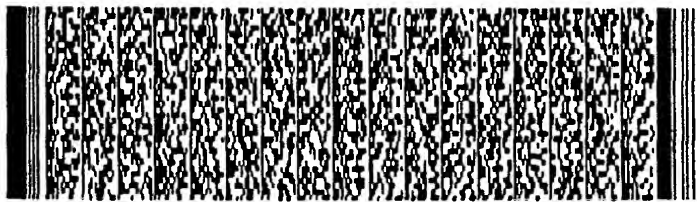
五、創作說明 (3)

因此，本創作之目的在提出一種電路板內層結構，其乃是利用凸塊來取代習知之鍍通孔的導電層，用以電性連接印刷電路板之任一相鄰的線路圖案。

為達本創作之上述目的，本創作提出一種電路板內層結構至少包括一介電層、一第一接合墊、一第一凸塊、一第二接合墊及一第二凸塊。其中，介電層具有一第一面及對應之一第二面，而第一接合墊配置於介電層之第一面，且第一凸塊之一端係連接至第一接合墊，而且第二接合墊配置於介電層之第二面，並且第二凸塊一端係連接至第二接合墊。

為達本創作之上述目的，本創作提出另一種電路板內層結構至少包括一介電層、一導電栓塞及一凸塊。其中，介電層具有一第一面及對應之一第二面，且介電層更具有一貫孔，且介電層更具有一貫孔，其貫穿介電層，並連接介電層之第一面及第二面。此外，導電栓塞配置於貫孔之中。另外，凸塊一端係連接至導電栓塞之鄰近第一面的一端。

為達本創作之上述目的，本創作提出又一種電路板內層結構至少包括一第一介電層、一導電栓塞、一第二介電層、一接合墊及一凸塊。其中，第一介電層具有一第一面及對應之一第二面，且第一介電層更具有一貫孔，其貫穿第一介電層，並連接第一介電層之第一面及第二面。此外，導電栓塞配置於貫孔之中。另外，第二介電層具有一第三面。再者，接合墊配置於第二介電層之第三面。凸塊



五、創作說明 (4)

一端係連接至接合墊，而凸塊之另一端係接合至導電栓塞之鄰近第一介電層之第二面的一端。

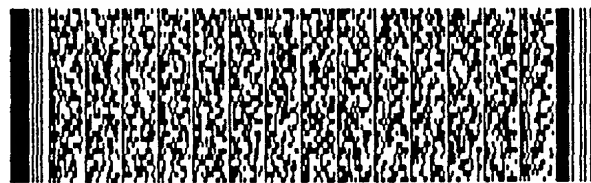
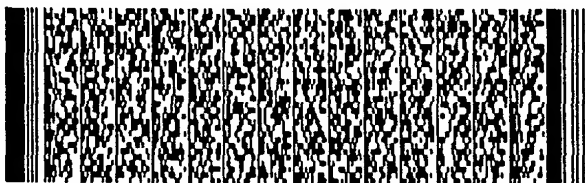
為達本創作之上述目的，本創作提出再一種電路板內層結構至少包括一第一介電層、一第一接合墊、一第一凸塊、一第二介電層及一第二接合墊。其中，第一介電層具有一第一面。此外，第一接合墊配置於第一介電層之第一面。第一凸塊一端係連接至第一接合墊。第二介電層具有一第二面。第二接合墊配置於第二介電層之第二面，並接合至第一凸塊之另一端。

本創作之電路板內層結構乃是利用柱狀或錐狀的凸塊來取代習知在介電層上製作鍍通孔的製程，並利用凸塊作為連接媒介，用以直接地電性連接任二相鄰之圖案化導電層，使得應用本創作之印刷電路板。

為讓本創作之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

請參考第2圖，其繪示本創作之較佳實施例的一種電路板內層結構於壓合前的局部剖面圖。電路內層結構200包括一介電層210、多個接合墊222a、222b及多個凸塊230a、230b，其中介電層210具有一頂面210a及對應之一底面210b，而這些接合墊220a、220b及這些凸塊230a、230b係分別位於介電層210之頂面210a及底面210b。首先，接合墊222a係配置於介電層210之頂面210a，而凸塊

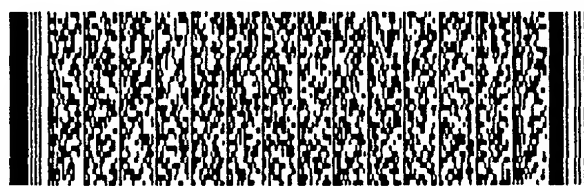
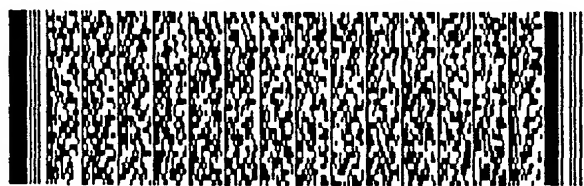


五、創作說明 (5)

230a之一端係連接至接合墊222a，其中接合墊222a係可由線路圖案220a所構成，且線路圖案222a更構成導線224a。此外，接合墊222b係配置於介電層210之底面210b，而凸塊230b之一端係連接至接合墊222b，同樣地，接合墊222b係可由線路圖案220b所構成，且線路圖案222b更可構成導線224a。

請同時參考第2圖，電路內層結構200更具有一導電栓塞240，其係配置於貫孔212之內。當導電栓塞240係為鍍通孔(PTH)時，導電栓塞240將包括一導電牆242及一介電柱244，其中導電牆242係配置於貫孔212之內壁，並且導電牆216之局部延伸至介電層210之頂面210a的部分更形成一環形墊，用以機械性及電性連接其上之凸塊230a'的一端，同樣地，導電牆216之局部延伸至介電層210之底面210b的部分更形成另一環形墊，用以連接其下之凸塊230b'的一端。此外，導電牆216之內面更形成另一貫孔214，並可填入介電材料於貫孔214之內，而形成上述之介電柱244。由於上述之凸塊230a、230b的一端可分別連接至導電牆216之兩端所形成的環形墊，所以凸塊230a'與凸塊230b'之間係可經由導電牆242而彼此電性連接。然而，熟悉該項技術者應該知道，導電栓塞並不侷限是上文所述之鍍通孔等，而導電栓塞亦可以是一導電柱，而凸塊與導電柱之間的連接方式例如為凸塊之一端係連接至導電柱之一端面。

請同時參考第2圖，電路板內層結構200更包括雙面板

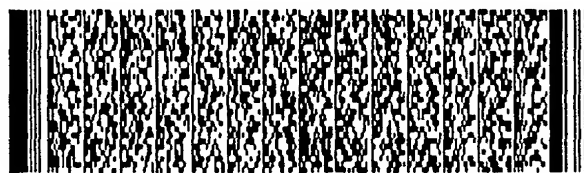
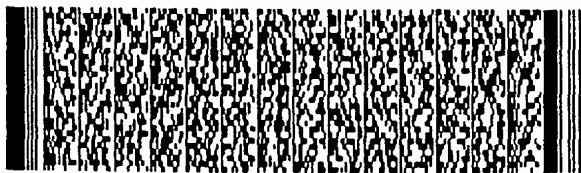


五、創作說明 (6)

及雙面板，其分別配置於介電層210之上方及下方。首先，以介電層210之上方的雙面板為例，介電層310之頂面310a及底面310b分別配置有線路圖案320a、320b，且線路圖案320b更形成有接合墊322b及導線324b，而接合墊322b之位置係對應於其下方之凸塊230a的位置，且介電層310更具有貫孔312，其貫穿介電層310，而連接介電層310之頂面310a及底面310b。此外，導電栓塞340係為導電牆342，其配置於貫孔306之內壁，而導電牆342之內面更圍成一貫孔314，其位置係對應於其下方之凸塊230a'的位置。

請同時參考第2圖，就介電層210之下方的雙面板而言，介電層410之頂面410a及底面410b分別配置有線路圖案420a、420b，且線路圖案420b更形成有接合墊422b及導線424b，而接合墊422b之位置係對應於其上方之凸塊230b的位置，且介電層410更具有貫孔412，其貫穿介電層410，而連接介電層410之頂面410a及底面410b。此外，導電栓塞440係為導電牆442，其配置於貫孔406之內壁，而導電牆442之內面更圍成一貫孔414，其位置係對應於其上方之凸塊230b'的位置。

請參考第3圖，其繪示第2圖之電路板內層結構於壓合後的局部剖面圖。本較佳實施例就製作六層板（即具有六層線路圖案之印刷電路板）為例，但不限於六層板，任何層數之線路圖案的印刷電路板均可適用。因此，線路圖案320b及線路圖案220a之間更額外地配置一介電層510a，而

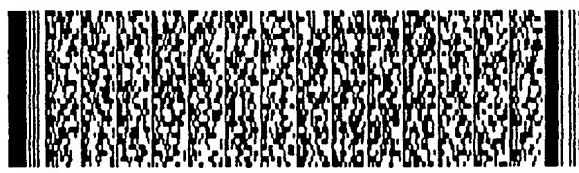


五、創作說明 (7)

線路圖案220b及線路圖案420a之間更額外地配置一介電層510b。最終，在壓合這些材料層之後，位於線路圖案之接合墊上的凸塊，其將與對應之另一線路圖案的接合墊作相互連接，意即凸塊之底端係連接至接合墊，而凸塊之頂端則連接至另一接合墊。

請參考第2、3圖，舉例而言，位於線路圖案220a之接合墊222a上的凸塊230a，其將與對應之另一線路圖案320b的接合墊322b作相互連接，意即凸塊230a之底端係連接至接合墊222a，而凸塊230a之頂端則連接至另一接合墊322b。此外，就凸塊230a'及導電牆342所圍成的貫孔314而言，由於凸塊230a'之頂端的外徑係可小於貫孔314之內徑，使得凸塊230a'之頂端係嵌入第二貫孔，並接合至於導電牆342之鄰近底面310b的內面，使得線路圖案320a將先可經由導電牆342，而電性連接至線路圖案320b，接著再經由凸塊230a'，而電性連接至線路圖案220a。

請再參考第3圖，A部分繪示六層線路圖案（320a、320b、220a、220b、420a及420b）係經由凸塊及導電栓塞之導電牆來彼此作電性連接。B部分繪示下面三層線路圖案（220b、420a及420b）係經由凸塊及導電栓塞之導電牆來彼此作電性連接。C部分繪示上面三層線路圖案（320a、320b及220a）係經由凸塊及導電栓塞之導電牆來彼此作電性連接。D部分繪示中間兩層線路圖案（320b及220a）僅經由凸塊來彼此作電性連接。E部分繪示中間兩層線路圖案（220b及420a）僅經由凸塊來彼此作電性連



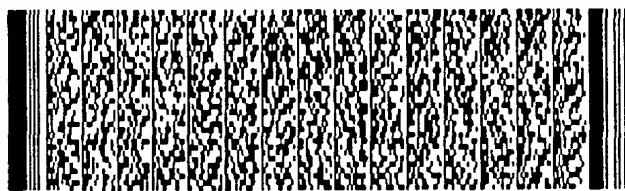
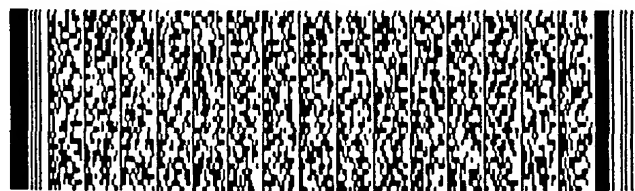
五、創作說明 (8)

接。因此，本創作之電路板內層結構200乃是利用凸塊或凸塊與導電栓塞之導電牆間的配合來電性連接二層以上之相鄰的線路圖案。

請參考第4圖，其繪示第3圖之A部分及C部分的局部剖面圖。以第3圖之C部分為例，即第4圖之右側的電性連接結構為例，凸塊230a之頂端的外徑亦可大於貫孔314之內徑，使得凸塊230a之頂端亦可必對應嵌入貫孔314，而僅接合於導電栓塞340之導電牆342所形成的環形墊，其中貫孔314之內的空間則需填入填充物質344，例如導電物質或介電物質均可。此外，請參考第5圖，其繪示本創作之較佳實施例的電路板內層結構，其利用雙凸塊來提供單一訊號之傳輸媒介的示意圖。在某些情況之下，例如介電層210及介電層310之間的距離不足，或是凸塊230a之高度不夠，本創作更可利用雙凸塊（例如凸塊230a及凸塊330b）來提供單一訊號之傳輸媒介，如第5圖所示，凸塊330b之上端係連接至接合墊322b，使得接合墊322b係可間接地經由凸塊330b，而接合至凸塊230a之上端，進而電性連接至接合墊222a。

綜上所述，本創作乃是利用柱狀或錐狀的凸塊來取代習知之鍍通孔（PTH），用以電性連接印刷電路板之任二相鄰的線路圖案。因此，本創作具有下列優點：

（1）由於凸塊係可隨意地電性導通兩相鄰之線路圖案，使得兩相鄰之線路圖案之間的電性導通，而不必使用習知之佔有特定面積的鍍通孔（PTH），故可有效地簡化



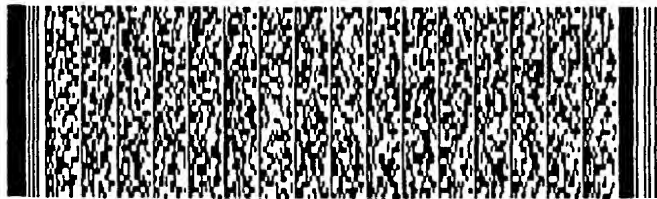
五、創作說明 (9)

印刷電路板之佈線的困難度。

(2) 由於凸塊所佔有印刷電路板之空間遠小於導電插塞所佔有的空間，所以當印刷電路板若應用凸塊作為兩相鄰線路圖案之間的電性導通媒介時，印刷電路板之佈線密度將可相對地提高。

(3) 當印刷電路板以凸塊取代習知之鍍通孔時，只要將各材料層製作完成以後，經由單一次的壓合步驟，即可完成各層線路圖案之間的導通目的，故可減少印刷電路板於製作時的困難度。

雖然本創作已以一較佳實施例揭露如上，然其並非用以限定本創作，任何熟習此技藝者，在不脫離本創作之精神和範圍內，當可作各種之更動與潤飾，因此本創作之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A～1F圖繪示習知之一種四層導線層之印刷電路板的局部流程剖面圖。

第2圖繪示本創作之較佳實施例的一種電路板內層結構於壓合前的局部剖面圖。

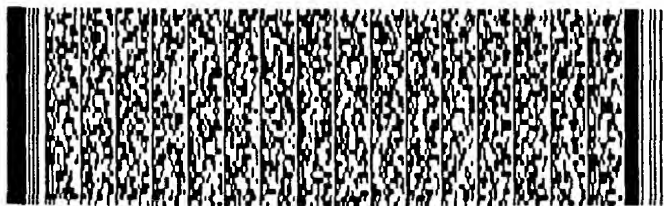
第3圖繪示第2圖之電路板內層結構於壓合後的局部剖面圖。

第4圖繪示第3圖之A部分及C部分的局部剖面圖。

第5圖繪示本創作之較佳實施例的電路板內層結構，其利用雙凸塊來提供單一訊號之傳輸媒介的示意圖。

【圖式標示說明】

110：介電芯層	120a：導電層
120b：導電層	112：貫孔
114b：導電層	114c：導電層
122a：導電層	122b：導電層
130：介電層	140：導電層
200：電路板內層結構	210：介電層
210a：頂面	210b：底面
212、214：貫孔	220a、220b：線路圖案
222a、222b：接合墊	224a、224b：導線
230a、230a'、230b、230b'：凸塊	
240：導電栓塞	242：導電牆
244：介電柱	310：介電層
310a：頂面	310b：底面



圖式簡單說明

312、314：貫孔	320a、320b：線路圖案
322a、322b：接合墊	324a、324b：導線
330b：凸塊	340：導電栓塞
342：導電牆	344：填充物質
410：介電層	410a：頂面
410b：底面	412、414：貫孔
420a、420b：線路圖案	422a、422b：接合墊
424a、424b：導線	430b：凸塊
440：導電栓塞	442：導電牆
510a、510b：介電層	



六、申請專利範圍

1. 一種電路板內層結構，至少包括：

- 一介電層，具有一第一面及對應之一第二面；
- 一第一接合墊，配置於該介電層之該第一面；
- 一第一凸塊，其一端係連接至該第一接合墊；
- 一第二接合墊，配置於該介電層之該第二面；以及
- 一第二凸塊，其一端係連接至該第二接合墊。

2. 如申請專利範圍第1項所述之電路板內層結構，更包括一第一線路圖案，其配置於該介電層之該第一面，並形成該第一接合墊。

3. 如申請專利範圍第1項所述之電路板內層結構，更包括一第二線路圖案，其配置於該介電層之該第二面，並形成該第二接合墊。

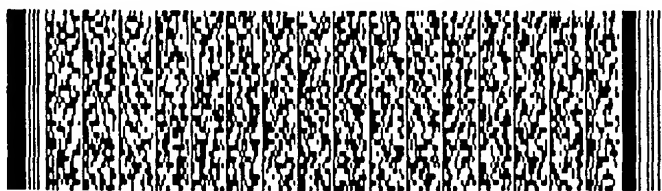
4. 一種電路板內層結構，至少包括：

一介電層，具有一第一面及對應之一第二面，且該介電層更具有一貫孔，其貫穿該介電層，並連接該第一介電層之該第一面及該第二面；

一導電栓塞，配置於該貫孔之中；以及

一凸塊，其一端係連接至該導電栓塞之鄰近該第一面的一端。

5. 如申請專利範圍第4項所述之電路板內層結構，其中該導電栓塞包括一導電牆，其配置於該第一貫孔之內壁，並延伸至該介電層之該第一面，且延伸至該介電層之該第一面的局部該導電牆係形成一環形墊，而該凸塊之該端係連接至該環形墊。



六、申請專利範圍

6. 如申請專利範圍第4項所述之電路板內層結構，其中該導電栓塞包括一導電柱。

7. 一種電路板內層結構，至少包括：

一第一介電層，具有一第一面及對應之一第二面，且該第一介電層更具有貫孔，其貫穿該第一介電層，並連接該第一介電層之該第一面及該第二面；

一導電栓塞，配置於該貫孔之中；

一第二介電層，具有一第三面；

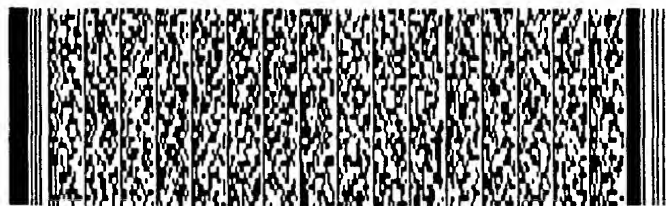
一接合墊，配置於該第二介電層之該第三面；以及

一凸塊，其一端係連接至該接合墊，而該凸塊之另一端係接合至該導電栓塞之鄰近該第一介電層之該第二面的一端。

8. 如申請專利範圍第7項所述之電路板內層結構，更包括一第三介電層，其填充於該第一介電層及該第二介電層之間所圍成的空間。

9. 如申請專利範圍第7項所述之電路板內層結構，其中該導電栓塞包括一導電牆，其配置於該貫孔之內壁，並延伸至該第一介電層之該第二面，且延伸至該第二面之局部該導電牆係形成一環形墊，而該凸塊之該另一端係接合至該環形墊。

10. 如申請專利範圍第7項所述之電路板內層結構，其中該導電插塞包括一導電牆，其配置於該貫孔之內壁，且該導電牆之內面更圍成一第二貫孔，而該凸塊之該端係嵌入該第二貫孔，並接合至於該導電牆之鄰近該第一面的內



六、申請專利範圍

面。

11. 如申請專利範圍第7項所述之電路板內層結構，其中該導電栓塞包括一導電柱。

12. 如申請專利範圍第7項所述之電路板內層結構，更包括一線路圖案，其配置於該第二介電層之該第三面，並形成該接合墊。

13. 一種電路板內層結構，至少包括：

一第一介電層，具有一第一面；

一第一接合墊，配置於該第一介電層之該第一面；

一第一凸塊，其一端係連接至該第一接合墊；

一第二介電層，具有一第二面；以及

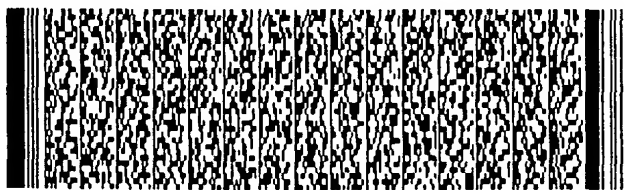
一第二接合墊，配置於該第二介電層之該第二面，並接合至該第一凸塊之另一端。

14. 如申請專利範圍第13項所述之電路板內層結構，更包括一第三介電層，其填充於該第一介電層及該第二介電層之間所圍成的空間。

15. 如申請專利範圍第13項所述之電路板內層結構，更包括一第二凸塊，其一端係連接至該第二接合墊，而該第二接合墊係間接地經由該第二凸塊，而接合至該第一凸塊之該另一端。

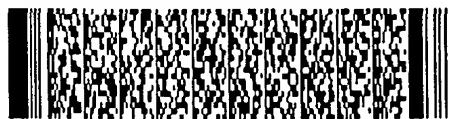
16. 如申請專利範圍第13項所述之電路板內層結構，更包括一第一線路圖案，其配置於該介電層之該第一面，並形成該第一接合墊。

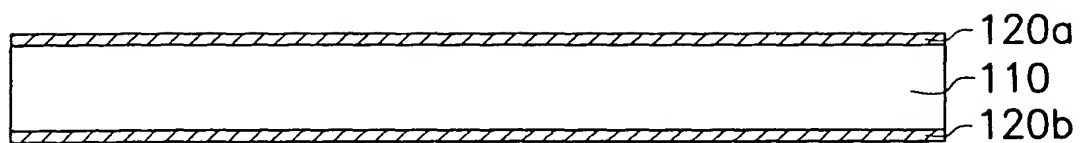
17. 如申請專利範圍第13項所述之電路板內層結構，



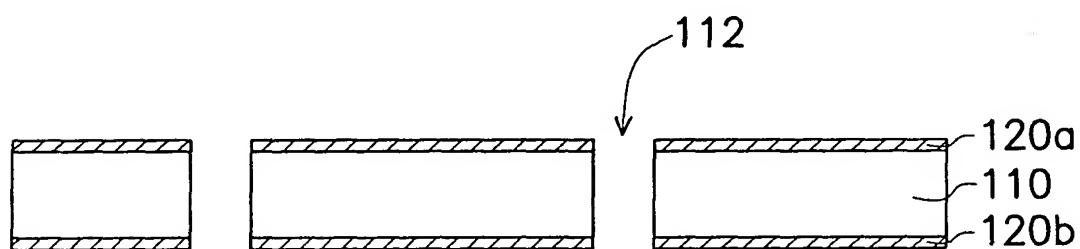
六、申請專利範圍

更包括一第二線路圖案，其配置於該介電層之該第二面，並形成該第二接合墊。

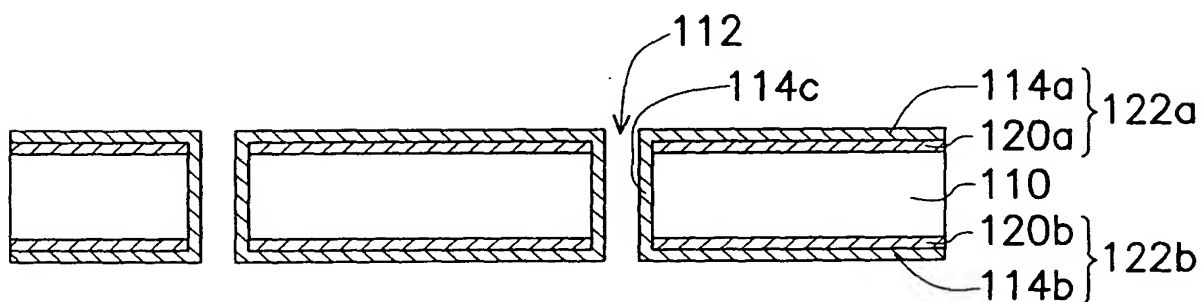




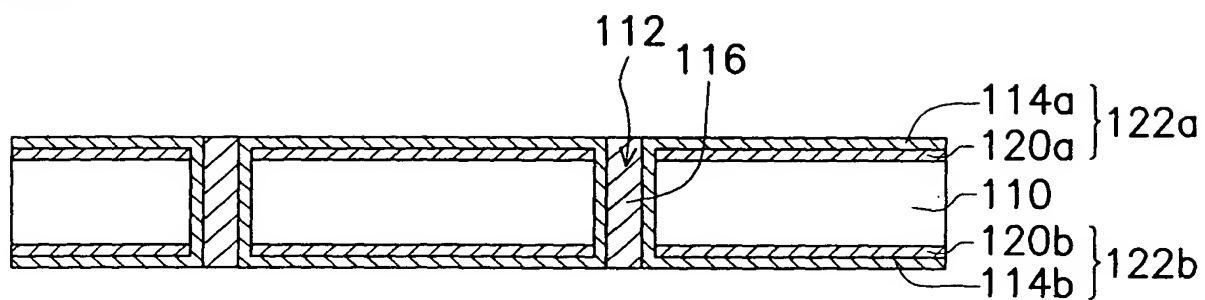
第 1A 圖



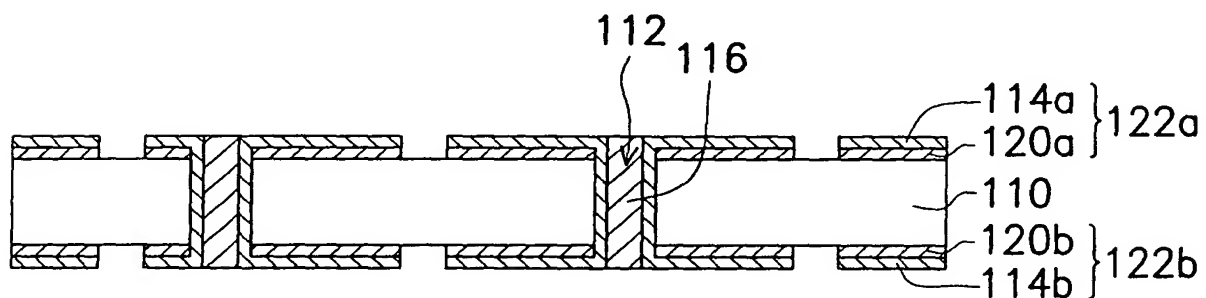
第 1B 圖



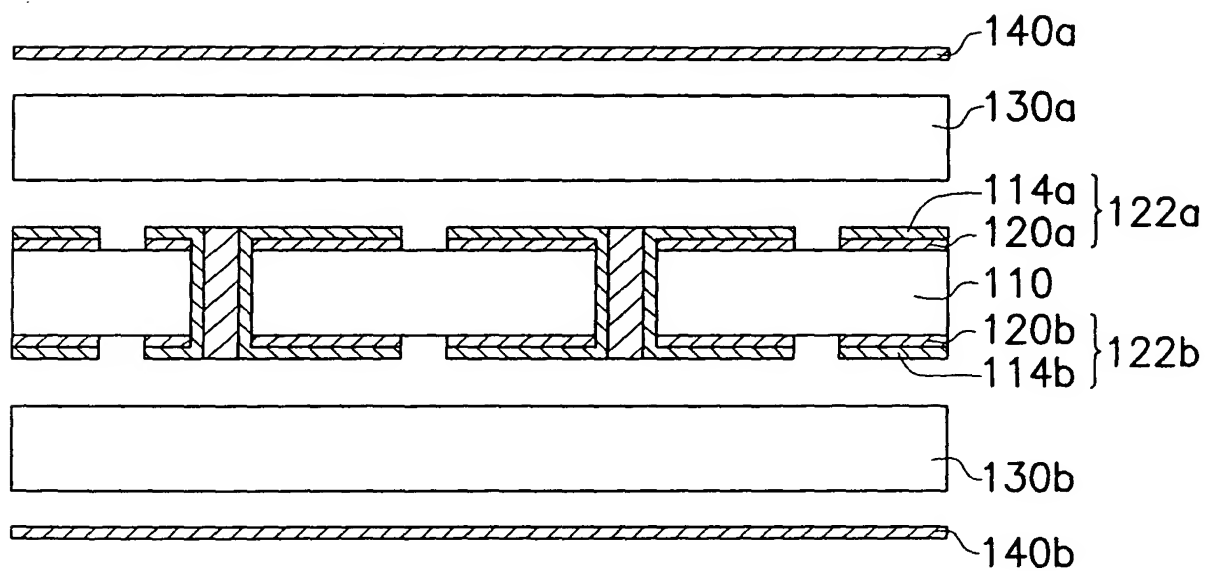
第 1C 圖



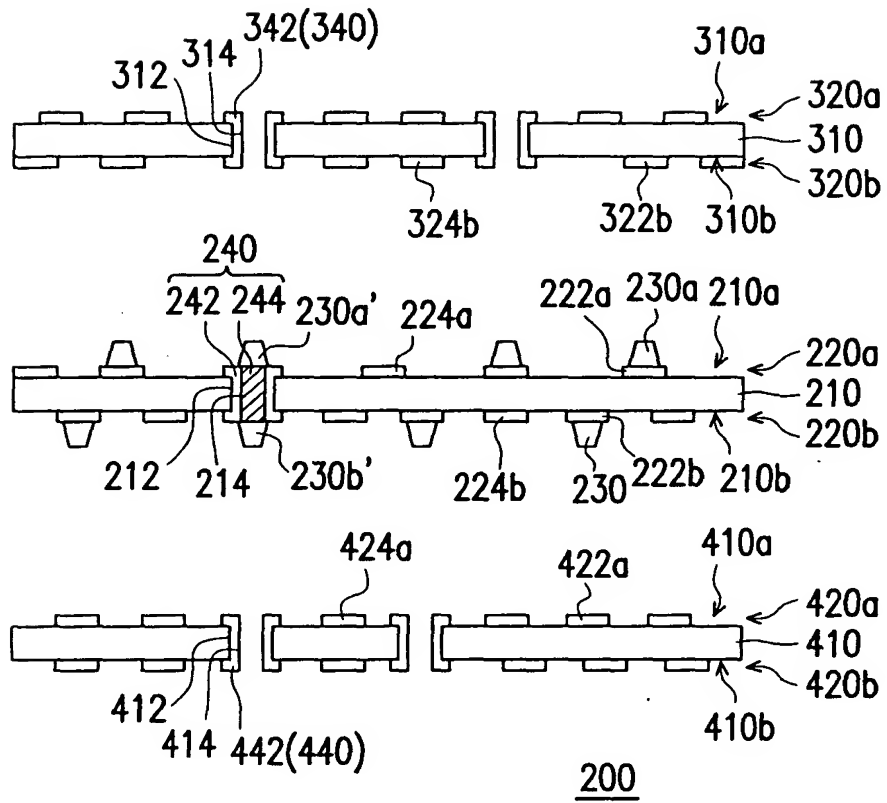
第 1D 圖



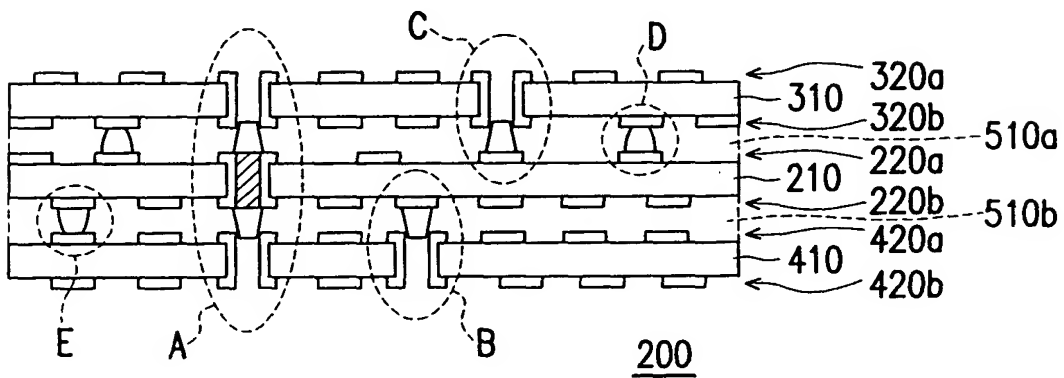
第 1E 圖



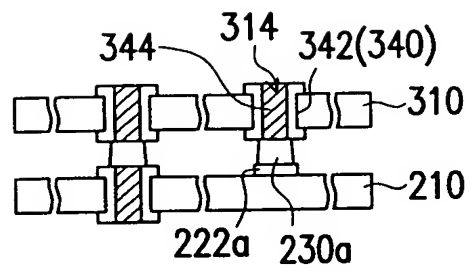
第 1F 圖



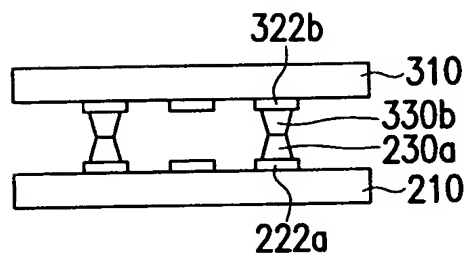
第 2 圖



第 3 圖

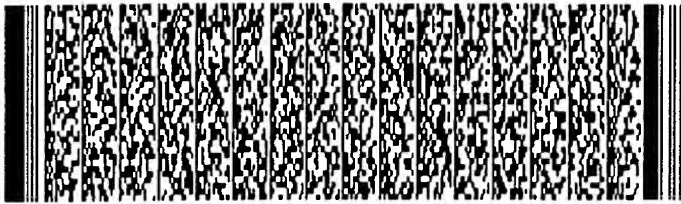


第 4 圖

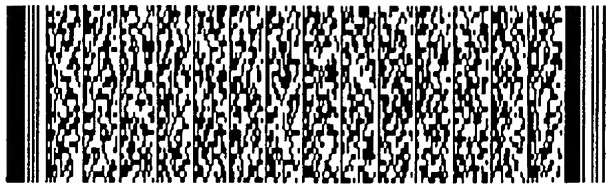


第 5 圖

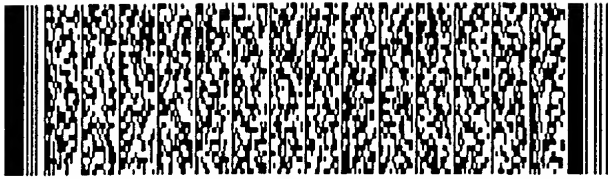
第 1/19 頁



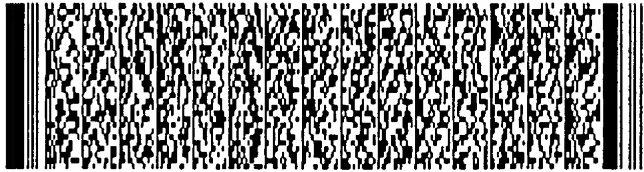
第 2/19 頁



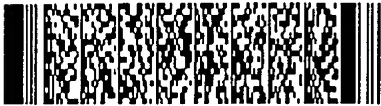
第 2/19 頁



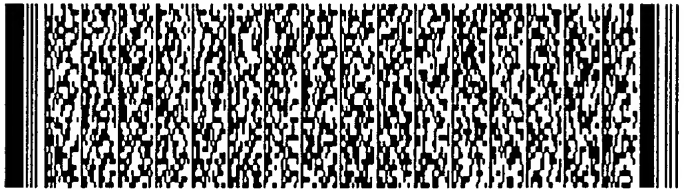
第 3/19 頁



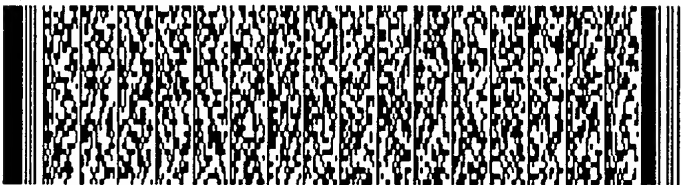
第 4/19 頁



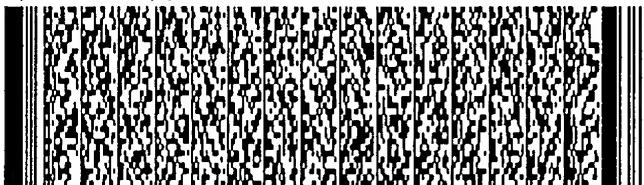
第 5/19 頁



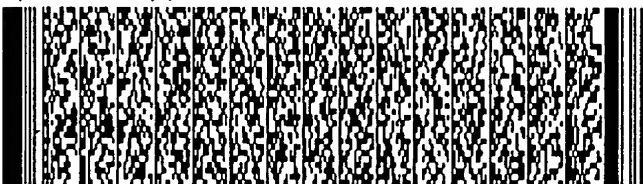
第 5/19 頁



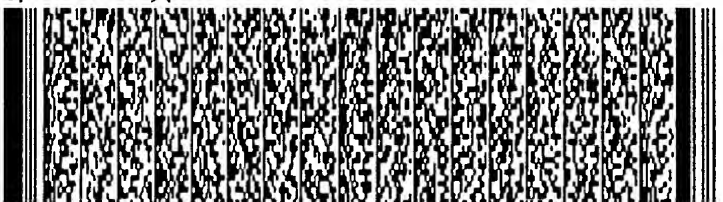
第 6/19 頁



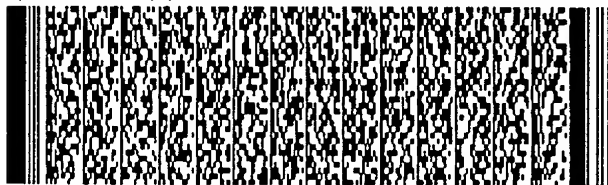
第 6/19 頁



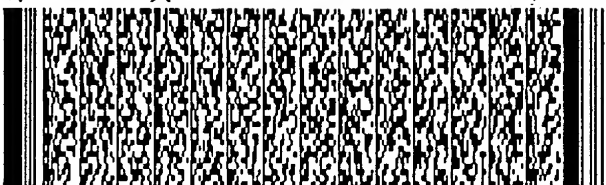
第 7/19 頁



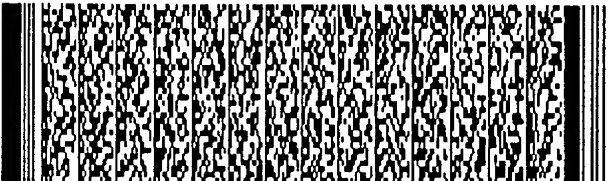
第 8/19 頁



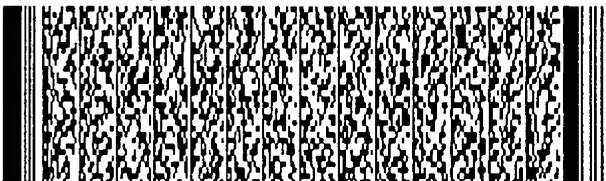
第 8/19 頁



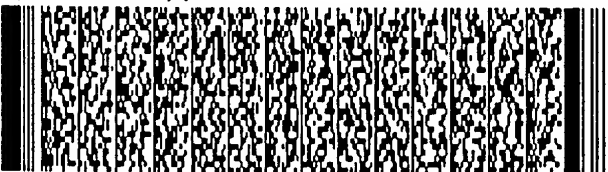
第 9/19 頁



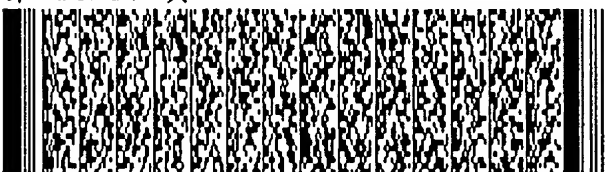
第 9/19 頁



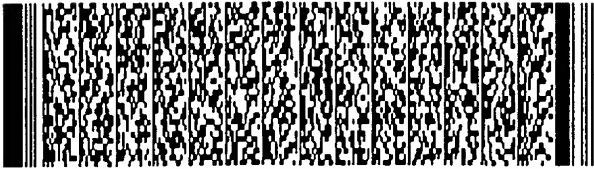
第 10/19 頁



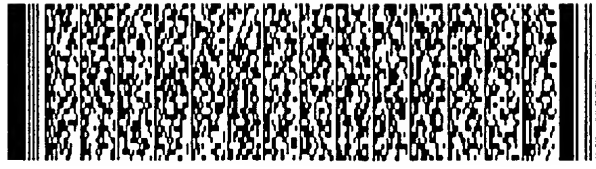
第 10/19 頁



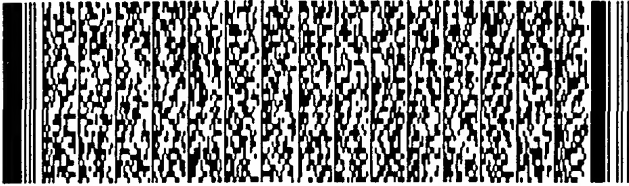
第 11/19 頁



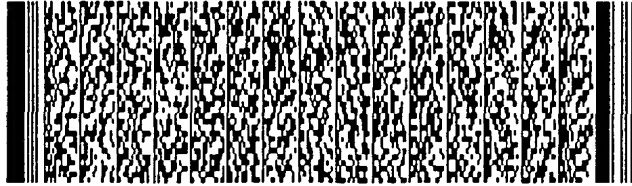
第 11/19 頁



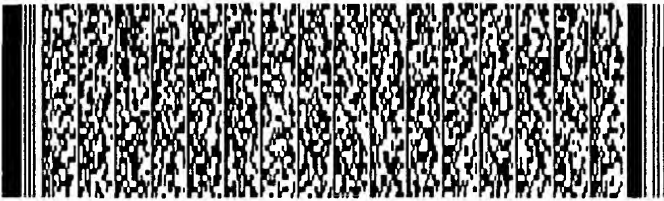
第 12/19 頁



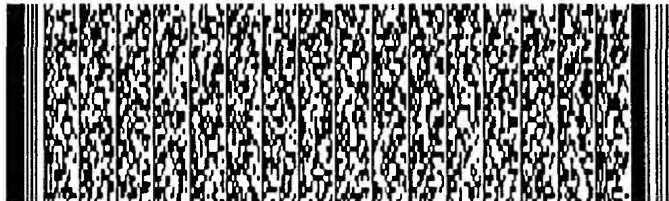
第 12/19 頁



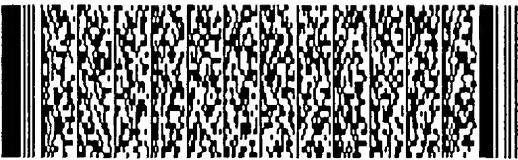
第 13/19 頁



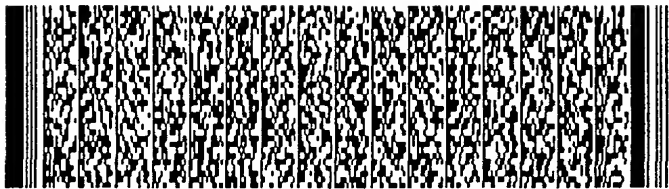
第 14/19 頁



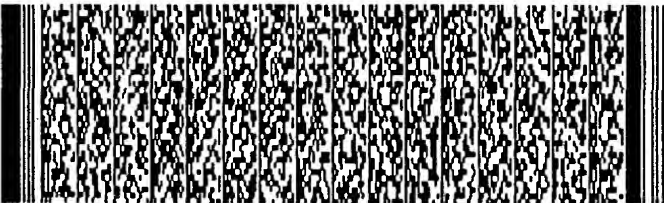
第 15/19 頁



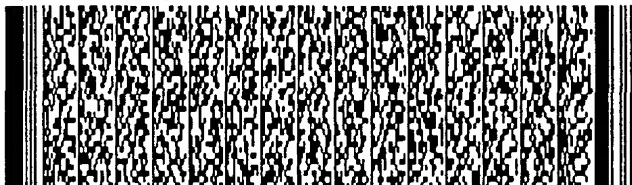
第 16/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

